

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



1/5/1. (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserved.

011656691 \*\*Image available\*\*  
WPI Acc No: 1998-073599/ 199807  
XRPX Acc No: N98-058970

Tracing system for microprocessor - has memory in which object data  
output every period of clock is recursively stored in specific area when  
event is not detected

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9311798	A	19971202	JP 96130018	A	19960524	199807 B

Priority Applications (No Type Date): JP 96130018 A 19960524

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9311798	A	9	G06F-011/28	

Abstract (Basic): JP 9311798 A

The system has an event detector circuit (11) which detects the  
occurrence of an event by determining if data output by a device being  
traced every clock period fulfill the conditions set up beforehand from  
an object apparatus.

Output data is recursively stored in a specific area in trace  
memory (18) when an event is not detected. A memory control unit stores  
output data in areas of memory other than specialised areas when an  
event is detected.

ADVANTAGE - Prevents reduction of clock frequency of object  
apparatus. All object data output during event generation period can be  
traced since delay line element is not provided. Address of specific  
area, in which object data output during event generation period is  
stored, can be determined since address of specific area of memory is  
shown after end of trace.

Dwg.1/5

Title Terms: TRACE; SYSTEM; MICROPROCESSOR; MEMORY; OBJECT; DATA; OUTPUT;  
PERIOD; CLOCK; STORAGE; SPECIFIC; AREA; EVENT; DETECT

Derwent Class: T01

International Patent Class (Main): G06F-011/28

File Segment: EPI

1/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserved.

05696998 \*\*Image available\*\*  
TRACE SYSTEM

PUB. NO.: 09-311798 [ JP 9311798 A]

PUBLISHED: December 02, 1997 (19971202)

INVENTOR(s): YOSHIDA TAKAYOSHI

WAUKE YASUSHI

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.: 08-130018 [JP 96130018]

FILED: May 24, 1996 (19960524)

INTL CLASS: [6] G06F-011/28

JAPIO CLASS: 45.1 (INFORMATION PROCESSING -- Arithmetic Sequence Units)

JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)

ABSTRACT

RECEIVED

NOV 01 2002

TECH CENTER 1600/2900

RECEIVED

JUN 27 2002

Technology Center 2100

RECEIVED

JUL 3 2002

TECH CENTER 1600/2900

PROBLEM---TO BE SOLVED: To make it possible to trace all object data in an event generation period by storing the object data in an area other than a specific area of a storage means when an event decision means detects an event occurrence.

SOLUTION: The trace system 1 regards a microprocessor 2 as an object device to be traced and judges whether or not object data outputted in every clock period of a reference clock from the object device meet previously set conditions, and an event detecting circuit 11 detects the generation of the event. When the event detecting circuit 11 detects no event, the object data are cyclically stored in the specific area of a trace memory 18 as the storage means. When the event detecting circuit 11 detects the generation of the event, the object data are stored in the area other than the specific area of the trace memory 18. Therefore, the object data in the event generation period can all be traced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-311798

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 11/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 11/28

技術表示箇所

3 1 0 B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平8-130018

(22) 出願日 平成8年(1996)5月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 吉田 隆義

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 和宇慶 康

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

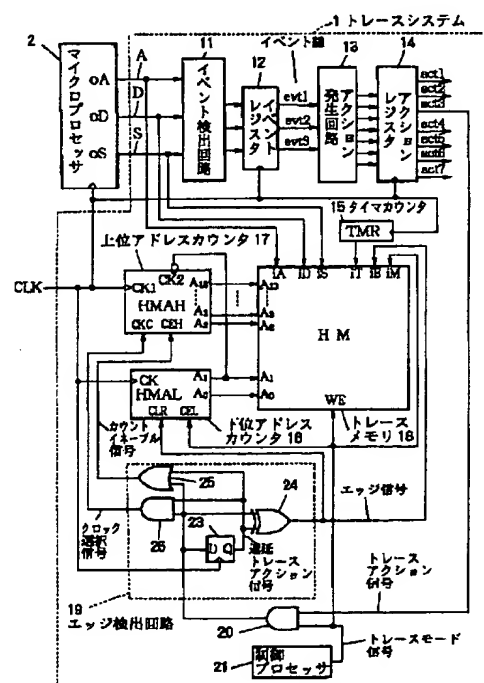
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 トレースシステム

(57) 【要約】

【課題】 イベント発生期間の対象データを全てトレースする。

【解決手段】 対象データにイベントが発生するとトレースアクション信号がエッジ検出回路19に入力され、トレースアクション信号に基づいて下位カウンタ16と上位カウンタ17が制御される。イベント発生期間から3クロック遅延した期間を基本トレース期間とし、これ以前の期間を予備トレース期間とする。予備トレース期間では、HMA L 16のみをカウントアップ動作させ、4個のアドレスデータを巡回出力し、トレースメモリ18の4個の番地に対象データを巡回的に書き込み、最新の4個の対象データが保持されるようにし、基本トレース期間では、最初のCLK期間でHMA L 16をリセット、HMA H 17をカウントアップ動作させ、その後両カウンタを連結動作させ、順次カウントアップするアドレスデータを出力し、HM 18の対応する番地に対象データを順次書き込む。



本発明のトレースシステムの 成図

1

## 【特許請求の範囲】

【請求項 1】 対象装置から基準クロックのクロック期間ごとに出力される対象データが予め設定されている条件を満たすか否かを判定することによりイベントの発生を検出するイベント判定手段と、

前記対象データを記憶する記憶手段と、

前記イベント判定手段によりイベントの発生が検出されていないときに、前記対象データを前記記憶手段の特定の領域に巡回的に記憶させ、前記イベント判定手段によりイベントの発生が検出されたときに、前記対象データを前記記憶手段の前記特定の領域以外の領域に記憶させる記憶制御手段とを有することを特徴とするトレースシステム。

【請求項 2】 前記記憶制御手段は、制御データの下位データを出力する下位カウンタと前記制御データの上位データを出力する上位カウンタとを有し、

イベントの発生が検出されていないときに、前記下位カウンタのみを動作させて上位カウンタから固定値を出力させ、前記制御データに対応する前記記憶手段の前記特定領域内の各番地に前記対象データを巡回的に記憶させ、

イベントの発生が検出されているときに、下位カウンタを動作させるとともに上位カウンタを下位カウンタのオーバーフローにより動作させ、前記制御データに対応する前記記憶手段の前記特定領域以外の領域の各番地に順次記憶させ、

イベントの発生開始および発生終了が検出されたときには、前記上位カウンタを強制的に動作させることを特徴とする請求項 1 に記載のトレースシステム。

【請求項 3】 前記記憶制御手段は、前記対象データを記憶させた前記記憶手段の番地を示すデータと、イベントの発生が検出される直前に前記対象データを記憶させた前記特定領域内の番地を示すデータとを、前記記憶手段に記憶させることを特徴とする請求項 1 または 2 に記載のトレースシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、マイクロプロセッサ等のトレース対象装置の出力データを選択的にトレースする（記憶手段に書き込んで保持する）トレースシステムに関するものである。

## 【0002】

【従来の技術】図 4 はこのような従来のトレースシステムの一例を示す回路構成図である。図 4 に示すトレースシステム 51 は、マイクロプロセッサ 2 をトレース対象装置とし、マイクロプロセッサ 2 と同一のクロック CLK で動作する。

【0003】マイクロプロセッサ 2 は、CLK のクロック期間（以下、CLK 期間とする）ごとに、バス A、

2

D、S にトレース対象データを出力する。

【0004】トレースシステム 51 は、制御プロセッサ 63 からのトレースモード信号が論理 1 であるときは、トレースアクション信号が論理 1 である CLK 期間において対象データのトレースを実行し、トレースアクション信号が論理 0 である CLK 期間においてはトレースを実行しない。またトレースモード信号が論理 0 のときは、制御プロセッサ 63 はトレースメモリ (HM) 62 に書き込まれたトレースデータの読み書きを自由にできる。

【0005】以下の説明において、トレースモード信号は論理 1 であるものとする。

【0006】イベント検出回路 11 は、マイクロプロセッサ 2 の出力データが、予め設定されているイベント条件を満足するか否かを判定し、満足する場合は、イベントの発生を検出したものとしてイベント信号を出力し（論理 1 とし）、このイベント信号はイベントレジスタ 12 で CLK に同期してラッチされ、アクション発生回路 13 に入力される。またアクション発生回路 13 は、イベントの発生に応じてトレースアクション信号を出力し（論理 1 とし）、このトレースアクション信号は、アクションレジスタ 14 で CLK に同期してラッチされ、AND ゲート 20 に入力される。

【0007】トレースメモリアドレスカウンタ (HMA) 61 は、トレースアクション信号が論理 1 のときに、CLK により純 2 進のカウンタアップ動作をするカウンタであり、トレースデータを書き込むアドレスをトレースメモリ 62 に指示する。またトレースメモリ 62 は、トレースアクション信号が論理 1 のときに、トレース対象データをタイマカウンタ (TMR) 15 の出力データとともに 1 ワードのトレースデータとして HMA 62 からの指示アドレスに書き込む。

## 【0008】

【発明が解決しようとする課題】図 5 は図 4 のトレースシステム 51 のトレースタイミング図である。図 5 において、トレース対象データに対し、T1～T3 の 3 CLK 期間にわたってイベントが発生すると（T1～T3 をイベント発生期間と称する）、イベント検出回路 11 およびイベントレジスタ 12 は、T1 でイベントの発生を検出し、T2 でイベント信号を論理 1 とする。これに応じて、アクション発生回路 13 およびアクションレジスタ 14 は、イベントが開始される T1 から 2 CLK 期間遅れて T3 でトレースアクション信号を論理 1 とする。

【0009】従ってトレースアクション信号が論理 1 となる T3～T5 における対象データがトレースされることになり、T1 および T2 における対象データがトレースされない。

【0010】上記のトレースミスを避けるために、マイクロプロセッサ 2 のクロック周波数を（トレースシステム 51 のクロック周波数よりも）低下させることが考えら

10

20

30

40

50

## 3

れるが、これはマイクロプロセッサ2の動作性能を低下させることになってしまう。また対象データをイベント開始からトレース開始までのクロック期間数だけ遅延させることが考えられるが、それには多くの遅延素子(レジスタ)が必要になる。

【0011】このように従来のトレースシステムでは、イベント開始からトレース開始までに数クロック期間の遅延が発生すると、イベント発生期間の前記数クロック期間における対象データがトレースできないという問題点があった。

【0012】本発明はこのような従来の問題を解決するものであり、イベント発生期間の対象データを全てトレースすることができるトレースシステムを提供することを目的とするものである。

## 【0013】

【課題を解決するための手段】上記目的を達成するために本発明のトレースシステムは、対象装置から基準クロックのクロック期間ごとに出力される対象データが予め設定されている条件を満たすか否かを判定することによりイベントの発生を検出するイベント判定手段と、前記対象データを記憶する記憶手段と、前記イベント判定手段によりイベントの発生が検出されていないときに、前記対象データを前記記憶手段の特定の領域に巡回的に記憶させ、前記イベント判定手段によりイベントの発生が検出されたときに、前記対象データを前記記憶手段の前記特定の領域以外の領域に記憶させる記憶制御手段とを有することを特徴とするものである。

【0014】請求項2に記載のトレースシステムは、前記記憶制御手段が、制御データの下位データを出力する下位カウンタと前記制御データの上位データを出力する上位カウンタとを有し、イベントの発生が検出されていないときに、前記下位カウンタのみを動作させて上位カウンタから固定値を出力させ、前記制御データに対応する前記記憶手段の前記特定領域内の各番地に前記対象データを巡回的に記憶させ、イベントの発生が検出されているときに、下位カウンタを動作させるとともに上位カウンタを下位カウンタのオーバーフローにより動作させ、前記制御データに対応する前記記憶手段の前記特定領域以外の領域の各番地に順次記憶させ、イベントの発生開始および発生終了が検出されたときには、前記上位カウンタを強制的に動作させることを特徴とするものである。

【0015】請求項3に記載のトレースシステムは、前記記憶制御手段が、前記対象データを記憶させた前記記憶手段の番地を示すデータと、イベントの発生が検出される直前に前記対象データを記憶させた前記特定領域内の番地を示すデータとを、前記記憶手段に記憶させることを特徴とするものである。

【0016】従って本発明のトレースシステムによれば、イベント判定手段によりイベントの発生が検出され

## 4

ていないときには、記憶制御手段により対象データを記憶手段の特定の領域に巡回的に記憶させ、イベント判定手段によりイベントの発生が検出されたときには、イベント判定手段により対象データを記憶手段の前記特定の領域以外の領域に記憶させることにより、イベント発生期間の対象データを全てトレースすることができる。

【0017】また請求項2に記載のトレースシステムによれば、イベントの発生が検出されていないときには、前記下位カウンタのみを動作させて上位カウンタから固定値を出力させ、制御データに対応する記憶手段の特定領域内の各番地に対象データを巡回的に記憶させ、イベントの発生が検出されているときには、イベントの発生開始が検出されたときに上位カウンタを強制的に動作させてから、下位カウンタを動作させるとともに上位カウンタを下位カウンタのオーバーフローにより動作させ、制御データに対応する記憶手段の前記特定領域以外の領域の各番地に順次記憶させることにより、イベント発生期間の対象データを全てトレースすることができる。

【0018】請求項3に記載のトレースシステムによれば、記憶制御手段により、対象データを記憶させた記憶手段の番地を示すデータと、イベントの発生が検出される直前に対象データを記憶させた特定領域内の番地を示すデータとを、記憶手段に記憶させることにより、トレース終了後に、対象データが書き込まれている記憶手段の番地、およびイベント発生期間の対象データが記憶された特定領域内の番地を知ることができる。

## 【0019】

【発明の実施の形態】図1は本発明のトレースシステムの実施の形態を示す回路構成図である。図1に示すトレースシステム1は、マイクロプロセッサ2をトレース対象装置とし、マイクロプロセッサ2と同一のクロックCLKで動作し、イベント検出回路11と、イベントレジスタ12と、アクション発生回路13と、アクションレジスタ14と、タイマカウンタ(TMR)15と、下位アドレスカウンタ(HMAL)16と、上位アドレスカウンタ(HMAH)17と、トレースメモリ(HM)18と、エッジ検出回路19と、ANDゲート20と、制御プロセッサ21とを有する。

【0020】マイクロプロセッサ2は、アドレスデータ(以下、Aデータと称する)をアドレスバスAに、演算データ(以下、Dデータと称する)をデータバスDに、またステータスデータ(以下、Sデータと称する)をステータスバスSにそれぞれ出力し、各データをクロックCLKの入力に同期してCLKサイクルごとに更新する。トレース対象データとなるこれらのAデータ、Dデータ、Sデータは、ここでは、それぞれ32ビットのデータである。

【0021】トレースシステム1は、制御プロセッサ21からのトレースモード信号が論理1であるCLK期間で対象データのトレースを実行する。またトレースモー

5

ド信号が論理0のときは、制御プロセッサ21はトレースメモリ18に書き込まれたトレースデータの読み書きを自由にできる。尚、制御プロセッサ21がトレースメモリ18のデータの読み書きを実行するための回路は簡単化のため図示していない。また、この制御プロセッサ21はトレース対象のマイクロプロセッサ2であってもよい。

【0022】以下の説明において、トレースモード信号は論理1であるものとする。

【0023】トレースシステム1において、イベント検出回路11は、トレース対象データが、予め設定されているイベント条件を満足するか否かを判定し、満足する場合は、イベントの発生を検出したものとしてイベント信号を出力する。イベント条件を複数設定したときは、発生したイベントに対応するイベント信号を出力する。ここでは、3つのイベントEV1、EV2、EV3の発生を検出しており、EV1を検出するとイベント信号evt1を論理1とし、EV2を検出するとイベント信号evt2を論理1とし、EV3を検出するとイベント信号evt3を論理1とする。例えば、Aデータの値が所定の範囲内にあるとき、EV1を検出したものとしてevt1を論理1とし、Dデータの上位8ビットが所定の値であり、かつSデータの所定ビットが1であるとき、EV2を検出したものとしてevt2を論理1とし、またEV3は使用しないのでevt3を常に論理0とする、というようにプログラムされる。またイベントレジスタ12は、イベントが発生したクロック期間から1CLK期間遅れてイベント信号evt1～3をラッチし、出力する。

【0024】アクション発生回路13は、イベントEV1～3の発生状況に応じて複数のトレースアクション信号act1～7の中から所定のトレースアクション信号を出力する。図2はアクション発生回路13の一例を示す回路構成図である。図2に示すレジスタEAR1は、evt1が論理1となったときにどのアクション信号を出力するかを設定するレジスタである。ここではEAR1のact2および3に対応するレジスタ値が論理1なので、evt1が論理1になるとact2および3が論理1となる。同様にEAR2は、evt2が論理1となったときに出力するアクション信号を設定するレジスタであり、act6に対応するレジスタ値が論理1なので、evt2が論理1になるとact6が論理1となる。また、EAR3は、evt3に対してact1とact7が論理1となるように設定されている。またアクションレジスタ14は、イベント信号がアクション発生回路13に入力されたクロック期間から1クロック期間遅れてトレースアクション信号act1～7をラッチし、出力する。

【0025】ここでは、act3をトレースアクション信号として用いており、act3はevt1が論理1と

6

なったときのみ論理1となるものとし、以下、EV1をイベントと呼び、evt1をイベント信号と呼び、またact3をトレースアクション信号と呼ぶ。

【0026】尚、イベント検出回路11とイベントレジスタ12とアクション発生回路13とアクションレジスタ14は、イベント判定手段を構成しており、対象データが予め設定されているイベント条件を満たすか否かを判定することによりイベントの発生をCLK期間ごとに検出しており、イベント発生期間を示すトレースアクション信号を2CLK期間遅れて出力する。

【0027】タイマカウンタ(TMR)15は、CLKをカウントすることにより時刻を示す32ビットのデータを出力し、この時刻データを各CLK期間ごとに更新する。

【0028】トレースモード信号は、ANDゲート20、HMA16のCEL端子、トレースメモリ18の書き込みエネーブル端子(WE端子)およびiM端子に入力される。またトレースアクション信号は、ANDゲート20を介してエッジ検出回路19に入力される。

【0029】エッジ検出回路19は、トレースアクション信号を1CLK期間遅延させて遅延トレースアクション信号を生成する遅延フリップフロップ23と、トレースアクション信号および遅延トレースアクション信号が入力される排他的ORゲート24、ORゲート25、ANDゲート26からなる。排他的ORゲート24は、トレースアクション信号の論理レベルが変化したCLK期間で論理1となるエッジ信号を出力する。このエッジ信号は、HMA16のカウントクリア端子(CLR端子)およびトレースメモリ18のiE端子にそれぞれ入力される。またORゲート25によるカウントイネーブル信号はHMA17のカウントイネーブル端子(CEH端子)に入力され、ANDゲート26によるクロック選択信号はHMA17のクロック選択端子(CKC端子)に入力される。

【0030】トレースシステム1においては、イベント発生期間から3クロック遅延した期間を基本トレース期間とし、これ以外の期間を予備トレース期間とする。上記のエッジ信号は、基本トレース期間および予備トレース期間の最後のCLK期間で論理1となる信号である。

【0031】トレースメモリ18は、データ入力端子として、トレース対象のA、D、Sの各データ(各32ビット)がそれぞれ入力されるiA、iD、iS端子と、時刻データが入力されるiT端子と、トレースモード信号およびエッジ信号(各1ビット)がそれぞれトレースフラグ、エッジフラグとして入力されるiM、iE端子とを有し、データ容量が $2^{14}$ (=16,384)ワードであり、また14ビットのアドレスデータが入力されるアドレス入力端子A0～A13と、トレースモード信号が入力されるWE端子とを有し、WE端子が論理1のときに、上記128+2ビットのデータを1ワードのトレ

## 7

ースデータとして、上記アドレスデータにより指定されたアドレス(番地)に書き込む。アドレス(番地)とは1ワードのトレースデータが書き込まれる各単位データ領域の、トレースメモリ18内における位置を示すものである。またアドレス入力端子においては、A0端子にアドレスデータの最下位ビットが入力され、A1端子、A2端子…と順に最下位から2番目、3番目…のビットが入力され、A13端子に最上位ビットが入力される。尚、トレースメモリの容量が、例えば、 $2^{10}$ である場合は、10ビットのアドレスデータが入力される。尚、このトレースメモリ18は記憶手段に該当する。

【0032】HMA16は、CLKが入力されるクロック入力端子(CK端子)と、トレースモード信号が入力されるカウントエネーブル端子(CEL端子)と、エッジ信号が入力されるカウントクリア端子(CLR端子)と、カウントデータ出力端子A0およびA1とを有する2ビットのカウンタであり、CLR端子が論理0であるとき、CEL端子が論理1であるときは、CLR端子が論理1であるCLK期間においてCLK入力に同期して純2進のカウントアップ動作を行い、CLR端子が論理0であるCLKサイクルにおいてCLKの入力に同期してカウント値をリセットし、またCEL端子が論理0であるときは、上記のカウントアップ動作を行わない。

【0033】HMAH17は、CLKが入力されるクロック入力端子CK1と、HMA16のA1端子に接続するクロック入力端子CK2と、クロック選択信号が入力されるクロック選択端子(CKC端子)と、エッジ信号が入力されるカウントエネーブル端子(CEH端子)と、カウントデータ出力端子A2～A13とを有する12ビットのカウンタであり、CEH端子が論理1であるときは、CKC端子が論理0であれば、CK1端子からの入力クロックに同期して純2進のカウントアップ動作を行い、CKC端子が論理1であれば、CK2端子からの入力クロックに同期して純2進のカウントアップ動作を行い、またCEH端子が論理0であるときは、上記のカウントアップ動作を停止する。

【0034】HMA16のカウント出力は、アドレスデータの低位2ビットに対応し、トレースメモリ18のアドレス入力端子A0～A2に入力される。またHMAH17のカウント出力は上記アドレスデータの上位12ビットに対応し、トレースメモリ18のアドレス入力端子A2～A13に入力される。尚、HMA16とHMAH17のビット数の和は、トレースメモリ18の容量に従って設定する。またHMA16のビット数は、イベント発生期間に対する基本トレース期間の遅延CLK期間数以上の個数の相異なるカウント値を出力できるように設定する。ここでは、遅延CLK期間数は3( $<2^2$ )なので、2ビットに設定されている。例えば、トレースメモリ18の容量が $2^{10}$ ワード、上記の遅延CLK

## 8

期間数が5( $<2^3$ )であれば、HMA16を3ビットのカウンタとし、HMAH17を7ビットのカウンタとする。

【0035】尚、HMA16とHMAH17とエッジ検出回路19は、記憶制御手段を構成しており、イベント発生期間を3クロック期間遅延させた基本トレース期間においては、その値が各CLK期間ごとにカウントアップするアドレスデータを各クロック期間ごとに順次出力し、予備トレース期間においては、その値が連続する4個のアドレスデータを各CLK期間ごとに巡回的に出力する。

【0036】次に、トレースシステム1の動作について説明する。図3はトレースシステム1のトレースタイミング図である。図3において、CLK期間T1～T3をイベント発生期間とすると、T4～T6が基本トレース期間となり、T3までの期間とT7以降の期間が予備トレース期間となる。トレースシステム1はイベント発生期間T1～T3における対象データを以下に示す動作により全てトレースする。

【0037】まずイベント検出回路11は、CLK期間T1でイベントの発生を検出してイベント信号を論理1とし、イベントレジスタ12はこのイベント信号を時刻t1にラッチするので、イベントレジスタ12から出力されるイベント信号(evt1)はCLK期間T2で論理1となる。これに応じて、アクション発生回路13はT2でトレースアクション信号を論理1とし、アクションレジスタ14はこれを時刻t2にラッチするので、アクションレジスタ14から出力されるトレースアクション信号(act3)は、イベント発生期間T1～T3から2CLK期間遅れてT3～T5で論理1となり、また同様にCLK期間T4でイベントが終了すると、2CLK期間遅れてT6で論理0となる。

【0038】トレースモード信号は論理1としているので、上記のトレースアクション信号は、ANDゲート20を介してエッジ検出回路19に入力され、エッジ検出回路19によって、遅延フリップフロップ23で上記のトレースアクション信号をCLKの入力に同期してラッチすることにより、3CLK期間遅れてT4～T6で論理1となる遅延トレースアクション信号を生成する。次にこの遅延トレースアクション信号と上記のトレースアクション信号を用いて、トレースアクション信号の論理レベルが変化するT3とT6で論理1となるエッジ信号と、エッジ信号が最初に論理1となるT3から再び論理1となるT6までの間、継続して論理1となるカウントイネーブル信号と、エッジ信号が論理0でありカウントイネーブル信号が論理0であるT4、T5で論理1となるクロック選択信号がそれぞれ生成される。

【0039】これにより、T3の時刻t3までは、HMA16はCLKに同期してカウントアップ動作を行い、HMAH17はカウントイネーブル信号が論理0なので動作を停止している。次に時刻t4では、HMA1



16はエッジ信号が論理1となっているのでカウント値をリセットし、HMAH17はカウントイネーブル信号が論理1、クロック選択信号が論理0なので、CLKによるカウントアップ動作を行う。T5およびT6の時刻t5、t6では、クロック選択信号が論理1となっているのでHMAH16とHMAH17が連結して14ビットのカウンタとしてカウントアップ動作を行う。T7の時刻t7では、エッジ信号が再び論理1となり、クロック選択信号が論理0となるので、HMAH16とHMAH17の連結は解除され、HMAH16はカウント値をリセットし、HMAH17はCLKによる単独カウントアップ動作を行う。T8の時刻t8以降は、HMAH16はCLKに同期してカウントアップ動作を行い、HMAH17はカウントイネーブル信号が論理0となるので動作を停止する。

【0040】まず、T3までの予備トレース期間（第1の予備トレース期間とする）の動作について説明する。このときHMAH17は動作を停止しており、HMAH16は単独でカウントアップ動作をしている。HMAH16のカウント出力をAL、HMAH17のカウント出力をAHとすると、トレースメモリ18に入力される指示アドレスデータは4AH+ALであり、ALはCLKに同期して0、1、2、3、0…と巡回的に変化し、またAHは固定値となるので、トレース対象データおよび時刻データ等からなるトレースデータは、トレースメモリ18の引き続く4つのアドレス（番地）に巡回的に書き込まれる。例えば、4AH=a（従ってaは4の倍数）であれば、指示アドレスデータはa、a+1、a+2、a+3、a…と巡回的に変化し、トレースデータはトレースメモリ18のa、a+1、a+2、a+3、a…番地に巡回的に書き込まれる。

【0041】このように第1の予備トレース期間においては、トレースメモリ18の4つの番地にトレースデータを巡回的に書き込み、常に最新の4CLK期間分の対象データを保持している。尚、ここでは、基本トレース期間の遅延CLK期間数が3なので、最新の3CLK期間の対象データを保持できればよい。

【0042】次に、T4～T6の基本トレース期間における動作について説明する。基本トレース期間におけるCLK期間数は、イベント期間のCLK期間数と同じであり、基本トレース期間の最初のCLK期間を基本トレース開始期間、最後のCLK期間を基本トレース終了期間、これらの間の期間を基本トレース継続期間と称する。

【0043】まず時刻t4では、HMAH16はカウント値を0にクリアし、HMAH17はカウントアップするので、指示アドレスデータはCLK期間T4でaの次の4の倍数であるa+4に変化し、T4における対象データはトレースメモリ18のa+4番地に書き込まれる。これにより予備トレース時の最新4CLK期間分の

対象データを上書きせずに保持しておくことができる。予備トレースの最終CLK期間であるT3での指示アドレスデータはa+2なので、T0、T1、T2、T3の各対象データはそれぞれ、a+3、a、a+1、a+2番地に上書きされることなく保持される。もしもT3での指示アドレスデータがaであれば、T0～T3の各対象データはa+1、a+2、a+3、a番地にそれぞれ保持される。

【0044】次に時刻t5、t6では、HMAH16とHMAH17は連結して14ビットの純2進カウントアップ動作を行なうので、指示アドレスデータは、T5ではa+5、T6ではa+6となり、T5、T6の対象データはa+5、a+6番地に順次書き込まれる。ここではT6が基本トレース終了期間となるので、基本トレース継続期間はT5だけであるが、基本トレース継続期間が複数のCLK期間にわたる場合には、基本トレース終了期間までHMAH16とHMAH17は上記の連結動作を続けるので、基本トレース終了期間までの各対象データは、さらにa+7、a+8…番地に順次書き込まれる。

【0045】次にT7以降の予備トレース期間（第2の予備トレース期間とする）の動作について説明する。T7の時刻t7では、時刻t4と同様に、HMAH16はカウントデータを0にクリアし、HMAH17はカウントアップするので、指示アドレスデータはCLK期間T7でa+4の次の4の倍数であるa+8に変化し、T7における対象データはトレースメモリ18のa+8番地に書き込まれる。これにより基本トレース期間の各対象データは全て上書きされることなく保持される。

【0046】そしてT7以降、次の基本トレース開始期間の直前のCLK期間まで、a+8、a+9、a+10、a+11番地に対象データを巡回的に書き込み、次の基本トレース期間では、対象データをa+12番地から順次書き込む。

【0047】ここで、予備トレース期間から基本トレース期間に移るとき、および基本トレース期間から予備トレース期間に移るときに、一度もトレースデータが書き込まれずに飛び越された番地を知るための情報、すなわちトレースメモリ18の4ブロック番地（a～a+4等）の各ワードがトレースデータとして書き込まれたワードであるかどうかを知るための情報と、上記の飛び越しがあった4ブロック番地の各ワードのうち最新のトレースデータが書き込まれたワードがどれであるかを知るための情報を記録しておく必要がある。

【0048】そこで、図1のように、トレースモード信号とエッジ信号をトレースフラグおよびエッジフラグとして対象データと同じ番地に書き込む。ただし、各番地におけるこれらフラグの記憶場所は、トレースモード信号を論理1としてトレースを開始する前に予め論理0にクリアしておく必要がある。トレースフラグが論理1で

あるワードはトレースデータとして書き込まれたものであり、トレースフラグが論理0であるワードは、トレースデータとして書き込まれたものではないことを示す。また4ブロックワードにおいてエッジフラグが論理1であるワードがあれば、そのワードが最新のワードであることが判る。例えば、 $a+2$ 番地のワードのエッジフラグが論理1であれば、 $a \sim a+4$ の4ブロック番地において $a+2$ 番地のワードが最新であることが判り、従って $a+2$ 番地とその直前の2つの番地 $a$ 、 $a+1$ のワードがイベント期間の最初の3CLK期間のトレースデータであることが判る。尚、タイマカウンタ15からの時刻データをトレースしておき、トレースメモリ18に記録された時刻データに基づいて、各ワードがトレースデータとして書き込まれたものかどうか、および4ブロックワードにおける最新ワードがどれかを判定するようにしてもよい。

【0049】このように上記実施の形態によれば、第1の予備トレース期間においては、HMA16を各CLK期間ごとにカウントアップ動作させるとともに、HMAH17の動作を停止させ、4個のアドレスデータを巡回的に出力し、トレースメモリ18の対応する4個の番地に対象データを巡回的に書き込んで最新の4個の対象データが保持されるようにし、基本トレース期間においては、最初のCLK期間でHMA16をリセットするとともに、HMAH17をカウントアップ動作させ、またこれ以外の各CLK期間でHMA16とHMAH17を連結動作させ、第1の予備トレース期間のアドレスデータと異なる、各CLK期間ごとにカウントアップするアドレスデータを順次出力し、トレースメモリ18の対応する番地に対象データを順次書き込み、第2の予備トレース期間の最初のCLK期間で、HMA16をリセットするとともに、HMAH17をカウントアップ動作させ、第1の予備トレース期間および基本トレース期間のアドレスデータと異なるアドレスデータを出力し、トレースメモリ18の対応する番地に対象データを書き込むことにより、イベントが開始されたクロック期間から基本トレース期間の直前のクロック期間までの3クロック期間の対象データが第1の予備トレース期間にトレースされているので、基本トレース期間にトレースされた対象データと併せてイベント発生期間の対象データを全てトレースすることができる。

【0050】また基本予備トレース期間および予備トレース期間の最後のクロック期間の対象データであるか否かを示すエッジフラグと、対象データを書き込んだことを示すトレースフラグとを、対象データに添付して同じ番地に書き込むことにより、トレース終了後に、対象データが書き込まれている番地、および第1の予備トレース期間にトレースされたイベント発生期間の対象データ

がどれであるかを知ることができる。

【0051】尚、HMA16およびHMAH17としてダウンカウンタを用いてもよい。

【0052】

【発明の効果】以上のように本発明のトレースシステムによれば、イベントの発生が検出される前に、対象データを予め記憶手段の特定領域に巡回的に記憶させ、この特定領域にイベント発生期間の対象データの一部分が保持されるようにすることにより、対象装置のクロック周波数を低下させることなくまた遅延素子を設けることなくイベント発生期間の対象データを全てトレースすることができるという効果を有する。

【0053】また請求項3に記載のトレースシステムによれば、対象データを記憶させた記憶手段の番地を示すデータと、イベントの発生が検出される直前に対象データを記憶させた特定領域内の番地を示すデータとを、記憶手段に記憶させることにより、トレース終了後に、対象データが書き込まれている記憶手段の番地、およびイベント発生期間の対象データが記憶された特定領域内の番地を知ることができる。

【図面の簡単な説明】

【図1】本発明のトレースシステムの実施の形態を示す回路構成図である。

【図2】本発明のトレースシステムの実施の形態におけるアクション発生回路の回路構成図である。

【図3】本発明のトレースシステムの実施の形態のトレースタイミング図である。

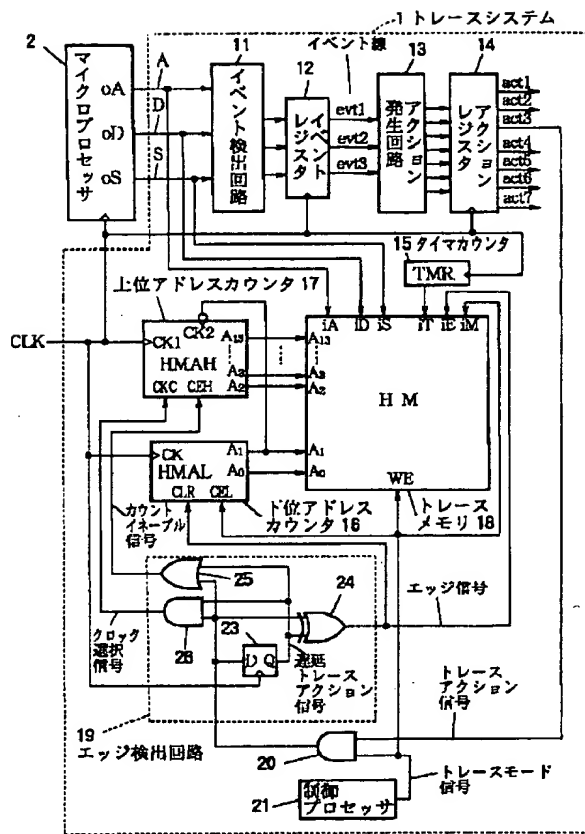
【図4】従来のトレースシステムの一例を示す回路構成図である。

【図5】従来のトレースシステムのトレースタイミング図である。

【符号の説明】

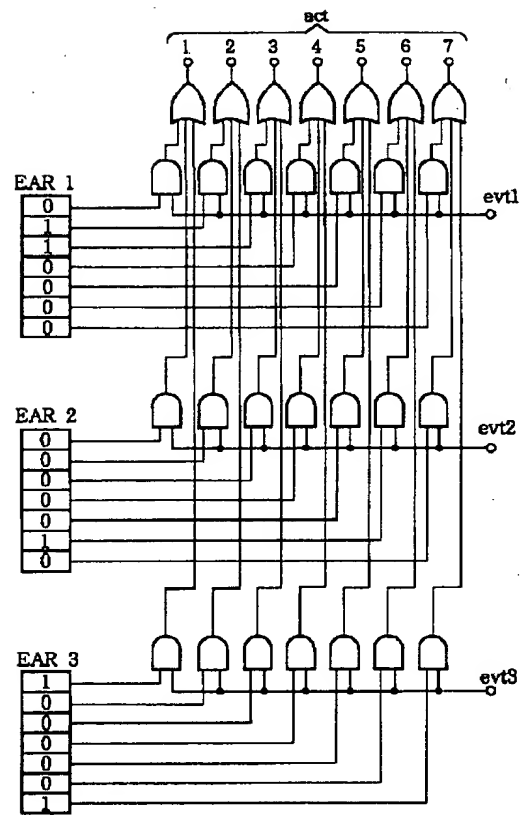
- 1   トレースシステム
- 2   マイクロプロセッサ
- 11   イベント検出回路
- 12   イベントレジスタ
- 13   アクション発生回路
- 14   アクションレジスタ
- 15   タイマカウンタ (TMR)
- 16   下位アドレスカウンタ (HMA1)
- 17   上位アドレスカウンタ (HMAH)
- 18   トレースメモリ (HM)
- 19   エッジ検出回路
- 20、26   ANDゲート
- 21   制御プロセッサ
- 24   排他的ORゲート
- 25   ORゲート

【図 1】



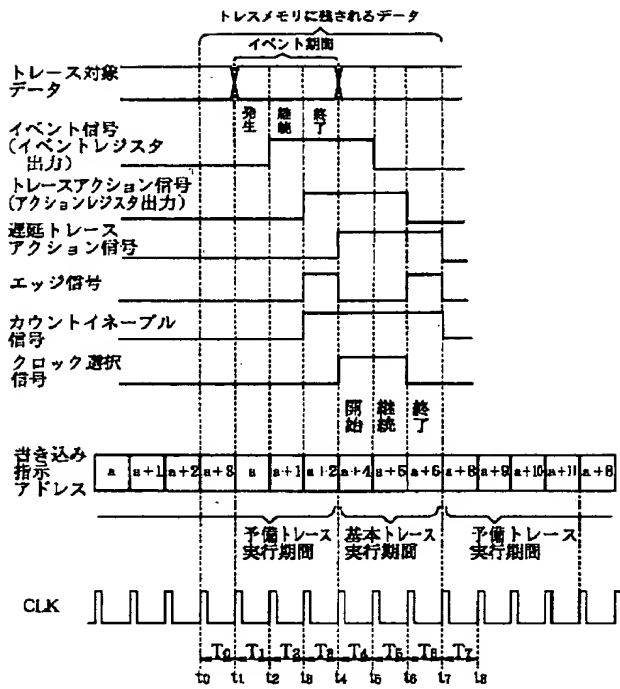
本発明のトレースシステムの構成図

【図 2】



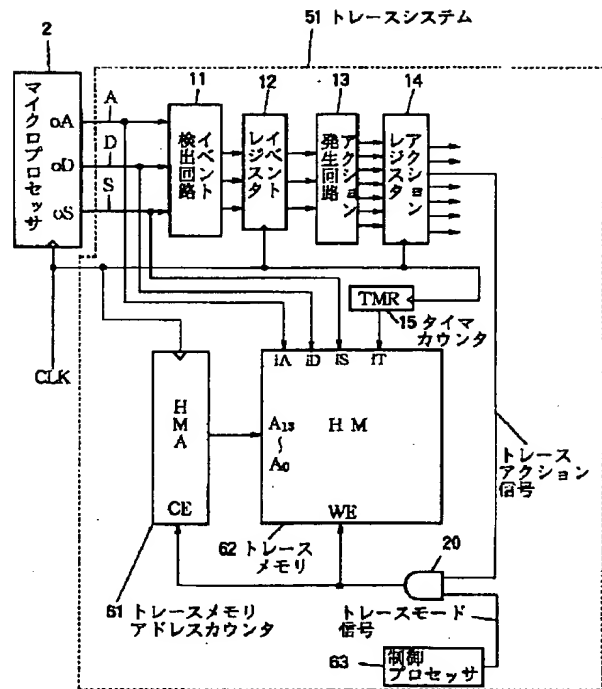
アクション発生回路の構成例

【図3】



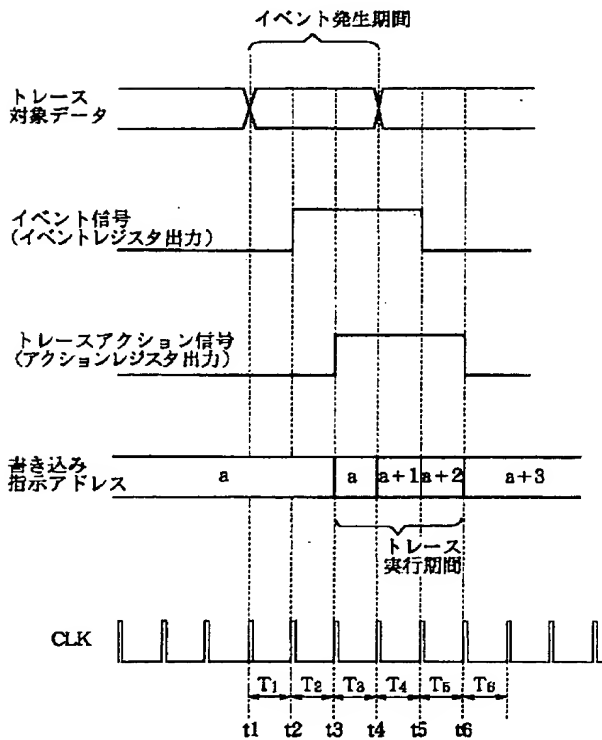
本発明のトレースシステムのトレースタイミング図

【図4】



従来のトレースシステムの構成図

【図5】



従来のトレースシステムのトレースタイミング図